

VARIABLE CAPACITANCE CIRCUIT AND ANALOG FILTER CIRCUIT USING IT

Patent Number: JP9275328
Publication date: 1997-10-21
Inventor(s): YAMAKIDO KAZUO; MIOTA SADAHIRO; NAGAYAMA YOSHIHARU
Applicant(s): HITACHI LTD;; HITACHI COMPUT ENG CORP LTD
Requested Patent: JP9275328
Application Number: JP19960082527 19960404
Priority Number(s):
IPC Classification: H03H11/48; H03H11/04
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an analog filter whose cut-off frequency is less fluctuated even when the resistance of a resistive element formed on a semiconductor substrate is largely dispersed.
SOLUTION: A variable capacitance circuit 30 consisting of parallel connection of a variable capacitance circuit section making up of components 20, 3' whose gain is inversely proportioned to the resistance R of a resistive element 2 of the filter and of a fixed capacitance circuit section making up of components 21, 3" whose gain of an amplifier is fixed with respect to input signal terminals T1, VB is used for a capacitive element of the filter and its equivalent capacitance is set proportional to a multiple of the gain of the amplifier 20. Even when the resistance of the resistive element 2 formed on a semiconductor substrate is largely fluctuated, the gain of the amplifier 20 is changed inversely proportional to the resistance and the equivalent capacitance of the variable capacitance circuit cancels the fluctuation of the resistive element 2 of the CR filter circuit thereby keeping the cut-off frequency to be a desired value automatically and stably.

Data supplied from the esp@cenet database - I2

Excerpt of Reference 2

Japanese Patent Laid-open No. Hei 9-275328

Laid-open on October 21, 1997

Japanese Patent Application No. Hei 8-82527

Filed on April 4, 1996

Title of the Invention: Variable Capacitance Circuit and Analog Filter Circuit Using Same

Description of the Invention:

The invention relates to an analog filter circuit and a variable capacitance circuit suitable for using the analog filter circuit, and, more specifically, to an analog filter circuit suitable for applying to a waveform equalizing circuit of an ATM-LAN interface card

Fig. 16 show a conventional analog filter circuit and such a circuit is disadvantageous in that a cut-off frequency of the above-mentioned filter circuit displaces from a desired value significantly.

An object of the invention is to provide a low cost analog filter circuit having a small dispersion in cut off frequency even if resistance values of resistors formed on a semiconductor substrate vary greatly.

Figs. 1-8 show examples of a variable capacitance circuit according to the invention and an analog filter circuit using the variable capacitance circuit. For example, in Fig. 1, a capacitor of a CR filter circuit is formed by a variable capacitance circuit 30 wherein a variable capacitance section 20, 3' in which the gain of an amplifier has a small value that is in inverse proportion to a value of resistor 2 and a fixed capacitance section 21, 3'' in which the gain of an amplifier is fixed are connected in parallel to an input signal T1, VB.

Fig. 9 shows a bias circuit for supplying a bias voltage to a constant voltage source in a differential amplifier shown in figs. 10-12. Fig. 13 shows a variable

capacitance circuit using a differential amplifier shown in Fig. 12, and an analog filter circuit using the variable capacitance circuit as a capacitor.

Fig. 14 shows a PMD-LSI for an ATM-LAN using the analog filter circuit shown in fig. 13, and Fig. 15 shows an ATM-LAN card on which the PMD-LSI shown in Fig. 14 and a transformer module are mounted.

Fig. 14 shows a terminating equipment (PMD=Physical Media Dependent) 90 used for an ATM-LAN (Asynchronous Transfer Mode-Local Area Network) system and a transformer module 91 as an example of how a waveform equalizing filter circuit shown in Fig. 13 is applied. In Fig. 14, a data signal TX-Data dealt with in a personal computer is fed to a transmission line 92 through a latch 900, a transmit driver 901 and a transmit transformer 911. A signal received from transmission line 92 through a receive transformer 912 to a PMD-LSI 90 is recovered by a waveform equalizing filter 902 shown in Fig. 13.

Fig. 15 shows an example of the ATM-LAN interface card to which PMD-LSI 90 and transformer module 91 are applied.

【符号の説明】

- 1 (1-1, 1-2) フィルタ入力
 2 (2-1, 2-2), 5 (5-1, 5-2) 抵抗素子
 3' (3'-1, 3'-2), 3'' (3''-1, 3''-2) 容量素子
 4 (4-1, 4-2) フィルタ出力
 6, 7, 8, 20 (20-1, 20-2), 21, 22 差動アンプ
 30, 31, 32, 33 可変容量回路
 40 波形等化フィルタ
 50 電圧/電流変換回路
 60, 61 電流/電圧変換回路

- * MT1, MT2 PMOSトランジスタ
 MT3, MT4 NMOSトランジスタ
 MT5~MT12 NMOSトランジスタ
 IB1~IB12 定電流源
 RC0~RC4 抵抗素子
 is 電流信号
 ViP, ViM 差動入力電圧信号
 VGOP, VGOM 差動出力電圧
 V2OP, V2OM 差動出力電圧
 10 90 PMD-LSI
 91 トランスモジュール
 100 標準カード

*

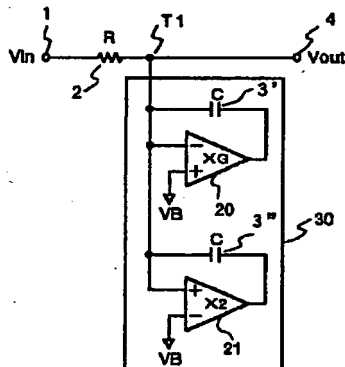
Reference 2

【図1】

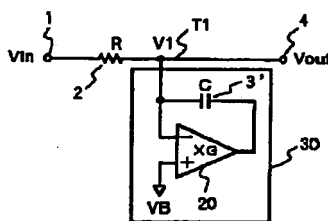
【図2】

【図3】

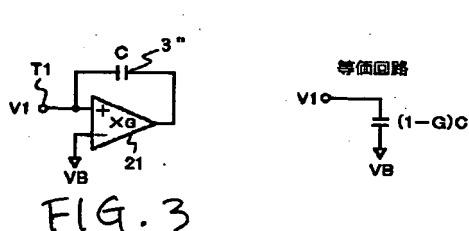
【図1】



【図2】



【図3】



【図4】

FIG. 1

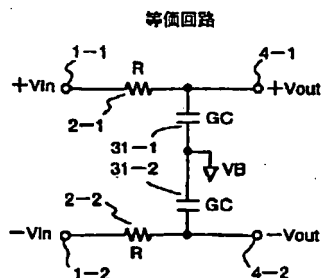
FIG. 2

FIG. 3

【図6】

【図16】

【図6】



【図16】

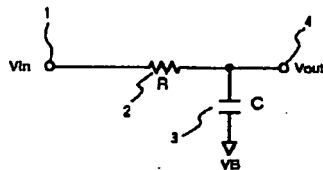


FIG. 16

FIG. 6

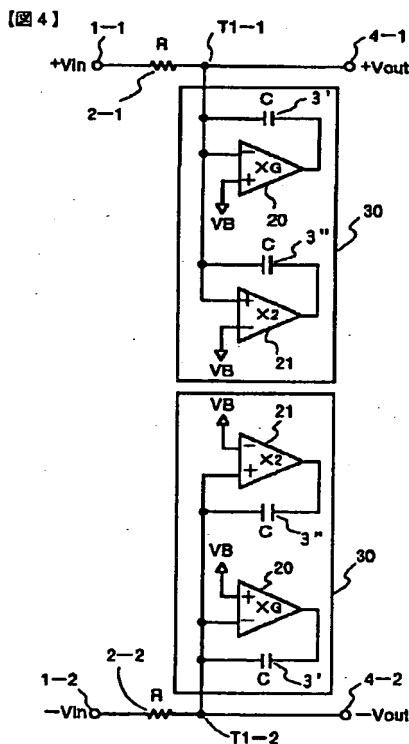


FIG. 4

【図5】

【図5】

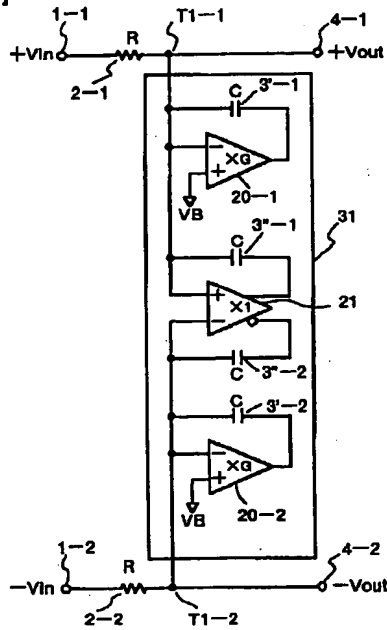


FIG. 5

【図8】

【図8】

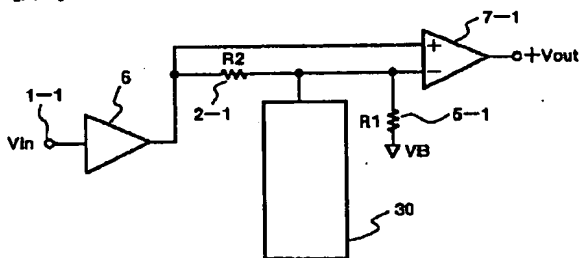


FIG. 8

【図7】

【図7】

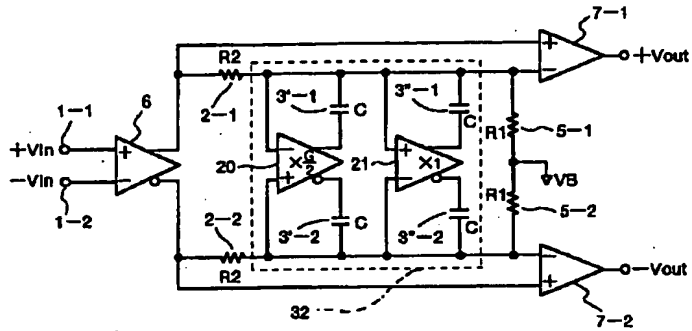


FIG. 7

【図9】

【図9】

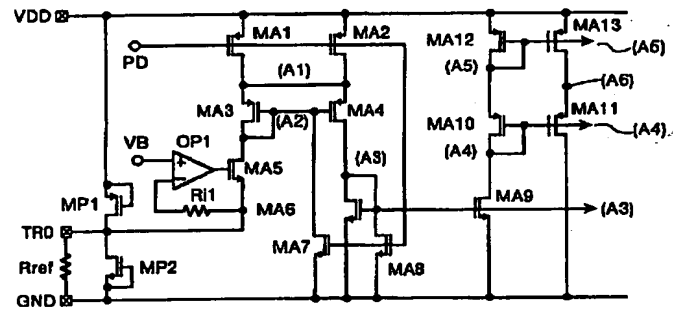


FIG. 9

【図11】

【図11】

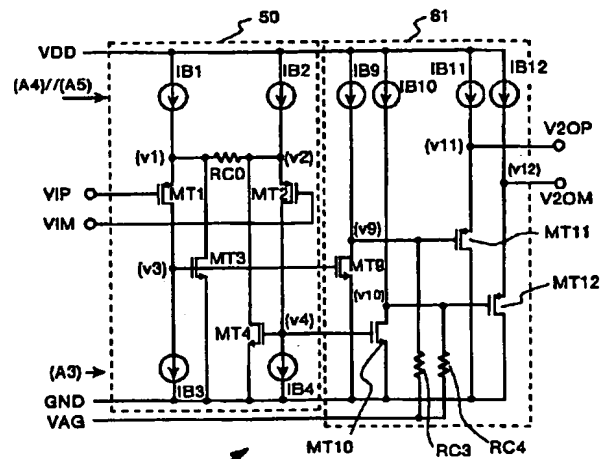


FIG. 11

【図10】

【図10】

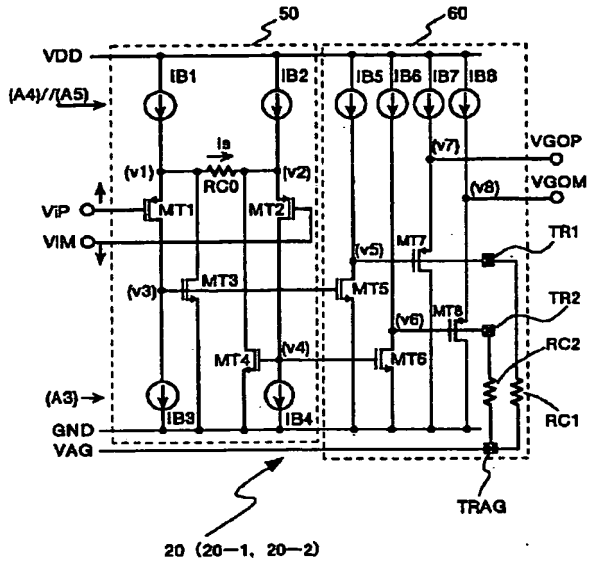


FIG. 10

【図12】

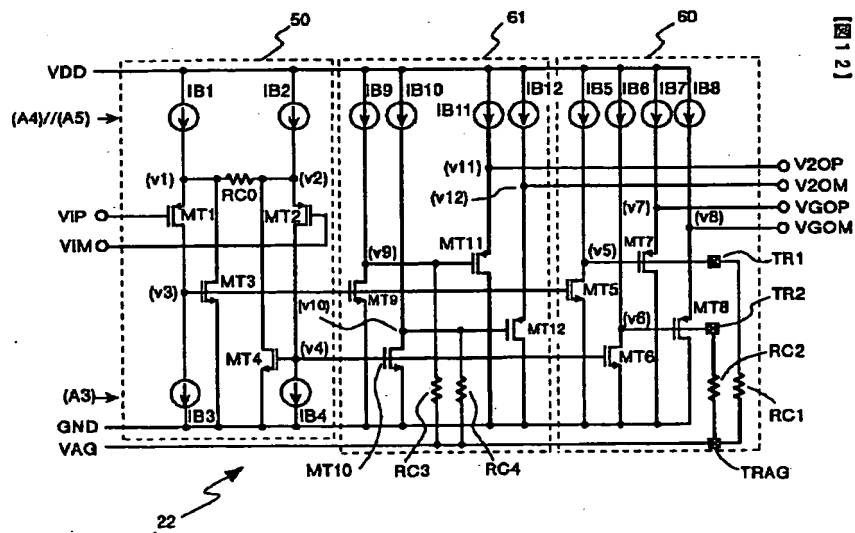


FIG. 12

【圖 13】

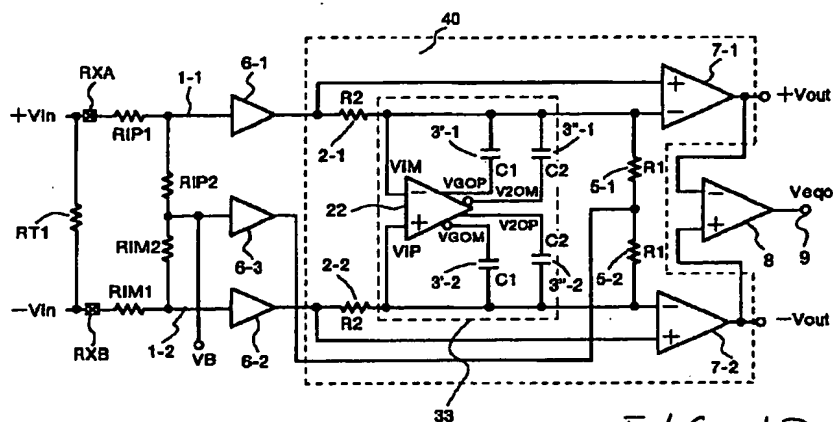
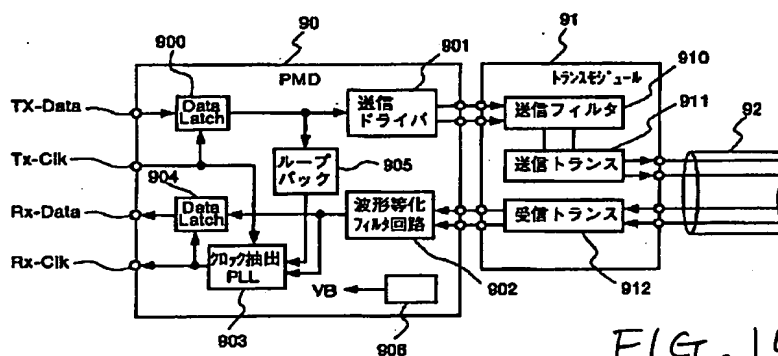


FIG. 13

【圖 14】



FLGT. 14

【图 15】

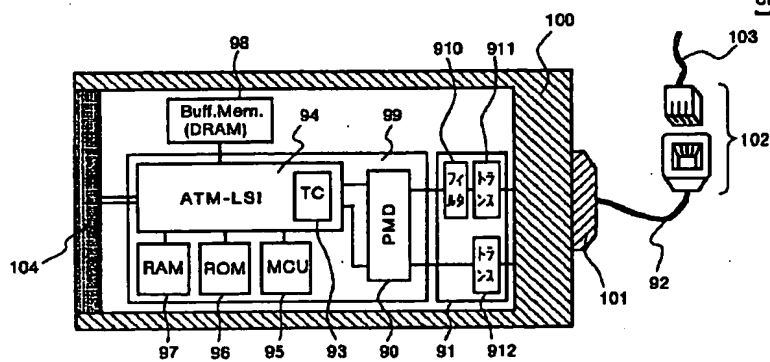


FIG. 15

Reference 2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-275328

(43) 公開日 平成9年(1997)10月21日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 11/48		8731-5 J	H 0 3 H 11/48	B
11/04		8731-5 J	11/04	D

審査請求 未請求 請求項の数24 O L (全 19 頁)

(21) 出願番号 特願平8-82527

(22) 出願日 平成8年(1996)4月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233011

日立コンピュータエンジニアリング株式会社

神奈川県秦野市堀山下1番地

(72) 発明者 山木戸 一夫

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74) 代理人 弁理士 玉村 静世

最終頁に続く

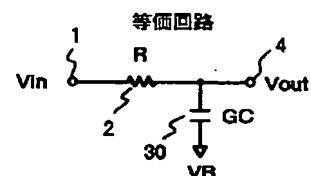
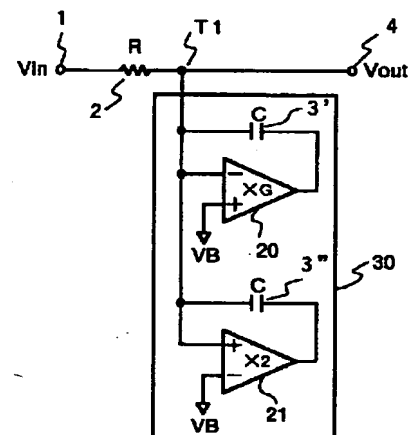
(54) 【発明の名称】 可変容量回路及びそれを用いたアナログフィルタ回路

(57) 【要約】

【課題】 半導体基板に形成された抵抗素子の値が大きくばらついてもカットオフ周波数のばらつきが少ないアナログフィルタを提供する。

【解決手段】 フィルタの容量素子として、アンプの利得がフィルタの抵抗素子(2)の値(R)に逆比例した可変容量回路部(20, 3')と、アンプの利得が固定された固定容量回路部(21, 3'')とを入力信号(T1, VB)に対して並列接続した可変容量回路(30)を用い、その等価的容量値がアンプ(20)の利得倍に比例するようにする。半導体基板に形成された抵抗素子(2)の値が大きく変動しても、その変動を打ち消すようにアンプ(20)の利得が逆比例し、可変容量回路の等価容量の値が前記CRフィルタ回路の抵抗素子(2)の変動分を相殺し、カットオフ周波数を所望の値に自動的にかつ安定に保つ。

【図1】



【特許請求の範囲】

【請求項1】 第1極性の第1の入力端子及び第2極性の第2の入力端子を有する第1の差動アンプ、及び該第1の差動アンプの出力端子と前記第1の入力端子との間に接続された第1の容量素子を含み、前記第1の差動アンプの差動利得が当該差動アンプに含まれる抵抗素子の値に逆比例する可変容量回路部と、

第1極性の第3の入力端子及び第2極性の第4の入力端子を有する第2の差動アンプ、及び該第2の差動アンプの出力端子と第4の入力端子との間に接続された第2の容量素子とを含み、前記第2の差動アンプの差動利得が

固定された固定容量回路部とを有し、前記可変容量回路部と固定容量回路部が、入力信号に対して並列に接続されて成るものであることを特徴とする可変容量回路。

【請求項2】 前記固定容量回路部の第2の差動アンプの差動利得が2に設定されて成るものであることを特徴とする請求項1記載の可変容量回路。

【請求項3】 一端が信号入力端子に接続された抵抗素子と一端が固定電位に接続された容量素子とを含むアナログフィルタ回路において、前記容量素子として請求項1又は請求項2に記載の可変容量回路を用い、前記第1の差動アンプの第1の入力端子と第2の差動アンプの第4の入力端子を前記抵抗素子の他の端子に、前記第1の差動アンプの第2の入力端子と前記第2の差動アンプの第3の入力端子を固定電位に、それぞれ接続して成るものであることを特徴とするアナログフィルタ回路。

【請求項4】 請求項3記載のアナログフィルタ回路を並列に設け、各アナログフィルタ回路に互いに極性が反転した入力信号が差動的に供給され、各アナログフィルタ回路の出力に互いに極性が反転した出力信号を形成するものであることを特徴とするアナログフィルタ回路。

【請求項5】 第1極性の第1の入力端子及び第2極性の第2の入力端子を有する第1の差動アンプ、及び該第1の差動アンプの出力端子と前記第1の入力端子との間に接続された第1の容量素子を含み、前記第1の差動アンプの差動利得が当該差動アンプに含まれる抵抗素子の値に逆比例する第1の可変容量回路部と、

第1極性の第1の入力端子及び第2極性の第2の入力端子を有する第2の差動アンプ、及び該第2の差動アンプの出力端子と第1の入力端子との間に接続された第2の容量素子を含み、前記第2の差動アンプの差動利得が当該差動アンプに含まれる抵抗素子の値に逆比例する第2の可変容量回路部と、

差動入力及び差動出力を有する固定利得の第3の差動アンプ、該第3の差動アンプの一方の入力とそれと同極性の出力との間に接続された第3の容量素子、及び第3の差動アンプの他方の入力とそれと同極性の出力との間に接続された第4の容量素子を含んで成る固定容量回路部とを有し、

前記第3の差動アンプの前記一方の入力端子が前記第1可変容量回路部の第1の入力端子に対して異なる極性となるよう接続され、前記第3の差動アンプの前記他方の入力端子が前記第2可変容量回路部の差動アンプ入力端子に対して同じ極性となるよう接続され、前記第1の可変容量回路部の第1の入力端子と第2の可変容量回路部の第1の入力端子の内の何れか一方を非反転入力端子、他方を反転入力端子として成るものであることを特徴とする差動信号入力型の可変容量回路。

10 【請求項6】 前記固定容量回路部に含まれる第3の差動アンプの固定差動利得が1に設定されて成るものであることを特徴とする請求項5記載の可変容量回路。

【請求項7】 一端が非反転入力信号端子に接続された第1の抵抗素子と、一端が反転入力信号端子に接続された第2の抵抗素子と、一端が固定電位に接続される容量素子とを含むアナログフィルタ回路において、前記容量素子として請求項5又は請求項6に記載の可変容量回路を用い、この可変容量回路の前記非反転入力端子を前記第1の抵抗素子の他端に、前記可変容量回路の前記反転入力端子を前記第2の抵抗素子の他端に、前記第1及び第2の差動アンプの第2の入力端子を固定電位に、それぞれ接続して成るものであることを特徴とするアナログフィルタ回路。

【請求項8】 入力信号を受ける抵抗素子及び容量素子を含むローパスフィルタの出力信号を前記入力信号から減ずることによってハイパスフィルタ特性を得よう構成されたアナログフィルタ回路であって、前記容量素子として請求項1又は項2記載の可変容量回路を用いたことを特徴とするアナログフィルタ回路。

30 【請求項9】 請求項8記載のアナログフィルタ回路を並列に設け、各アナログフィルタ回路に互いに極性が反転した入力信号が差動的に供給され、各アナログフィルタ回路の出力に互いに極性が反転した出力信号を差動的に形成するものであることを特徴とするアナログフィルタ回路。

【請求項10】 差動入力及び差動出力を有し、差動利得が当該差動アンプに含まれる抵抗素子の値に逆比例する第1の差動アンプ、該第1の差動アンプの一方の入力端子とそれと逆極性の出力との間に接続された第1の容量素子、及び第1の差動アンプの他方の入力端子とそれと逆極性の出力との間に接続された第2の容量素子とを含んで成る可変容量回路部と、

差動入力及び差動出力を有する固定利得の第2の差動アンプ、該第2の差動アンプの一方の入力端子とそれと同極性の出力との間に接続された第3の容量素子、及び第3の差動アンプの他方の入力端子とそれと同極性の出力との間に接続された第4の容量素子とを含んで成る固定容量回路部とを有し、

50 前記第1の差動アンプの差動入力と第2の差動アンプの差動入力とを相互に極性の異なるもの同士で接続し、一

方の接続ノードを非反転入力端子、他方の接続ノードを反転入力端子として成るものであることを特徴とする差動信号入力型の可変容量回路。

【請求項11】 一端が非反転入力信号端子に接続された第1の抵抗素子と、一端が反転入力信号端子に接続された第2の抵抗素子と、請求項10記載の可変容量回路とを含むアナログフィルタ回路であって、前記可変容量回路の前記非反転入力端子を前記第1の抵抗素子の他端に、前記可変容量回路の前記反転入力端子を前記第2の抵抗素子の他端に、それぞれ接続して成るものであることを特徴とするアナログフィルタ回路。

【請求項12】 請求項11記載のアナログフィルタ回路の差動出力信号を夫々に対応される差動入力信号から減ずる手段を更に備えてハイパスフィルタ特性を得るよう構成されたアナログフィルタ回路。

【請求項13】 第1の入力電圧と第2の入力電圧との差をそれに比例した電流信号に変換する電圧／電流変換部と、該電圧／電流変換部で変換された電流信号をそれに比例した電圧信号に変換する第1の電流／電圧変換部とを備え、

前記電圧／電流変換部は、前記第1、第2の入力電圧がゲート電極に供給された第1、第2のPMOSトランジスタと、該第1、第2のPMOSトランジスタのソース電極に接続された第1、第2の定電流源と、前記各ソース電極間に接続され半導体基板上に形成される第1の抵抗素子と、前記第1、第2のPMOSトランジスタのドレイン電極に接続された第3、第4の定電流源と、前記第1、第2のPMOSトランジスタのそれぞれのソースとドレイン電極にドレインとゲート電極が接続された第1、第2のNMOSトランジスタとを含み、前記第1、第2のNMOSトランジスタには、前記第1の電流源電流と第3の電流源電流との差分、上記第2の電流源電流と第4の電流源電流との差分をそれぞれのバイアス電流とするときに、前記第1の入力電圧と第2の入力電圧との差を前記第1の抵抗素子の値で除した信号電流が相補的に加算されるようにされ、

前記第1の電流／電圧変換部は、前記第1のNMOSトランジスタに発生する上記信号電流に比例した信号電流を発生するよう接続された第3のNMOSトランジスタと、該トランジスタと固定電位間に接続された第2の抵抗素子を含んで構成され、上記第1の入力電圧と第2の入力電圧との差に比例した信号電圧を出力することを特徴とする差動アンプ。

【請求項14】 前記第1の電流／電圧変換部は、前記第2のNMOSトランジスタに発生する上記信号電流に比例した信号電流を発生するよう接続された第4のNMOSトランジスタと、該トランジスタと固定電位間に接続された第3の抵抗素子とを更に含み、上記第1の入力電圧と第2の入力電圧との差に比例した信号電圧を差動出力することを特徴とする請求項13記載の差動アン

プ。

【請求項15】 前記第1の電流／電圧変換部は、それに含まれる前記第2の抵抗素子が前記第1の抵抗素子に比べて抵抗値変動が少ない特性を有し、前記第1の入力電圧と第2の入力電圧との差に比例し、かつ前記第1の抵抗素子の値に反比例した信号電圧を出力することを特徴とする請求項13記載の差動アンプ。

【請求項16】 前記第1の電流／電圧変換部は、それに含まれる前記第2及び第3の抵抗素子が前記第1の抵抗素子に比べて抵抗値変動が少ない特性を有し、前記第1の入力電圧と第2の入力電圧との差に比例し、かつ前記第1の抵抗素子の値に反比例した信号電圧を差動出力することを特徴とする請求項14記載の差動アンプ。

【請求項17】 前記第1の電流／電圧変換部は、それに含まれる前記第2の抵抗素子が前記第1の抵抗素子と同一半導体基板上に形成されて前記第1の抵抗素子と実質的に同一の抵抗値変動を有し、前記第1の入力電圧と第2の入力電圧との差に比例した固定利得の信号電圧を出力することを特徴とする請求項13記載の差動アンプ。

【請求項18】 前記第1の電流／電圧変換部は、それに含まれる前記第2及び第3の抵抗素子が前記第1の抵抗素子と同一半導体基板上に形成されて前記第1の抵抗素子と実質的に同一の抵抗値変動を有し、前記第1の入力電圧と第2の入力電圧との差に比例した固定利得の信号電圧を差動出力することを特徴とする請求項14記載の差動アンプ。

【請求項19】 前記電圧／電流変換部で変換された電流信号をそれに比例した電圧信号に変換する第2の電流／電圧変換部を更に備え、

前記第2の電流変換部は、前記第1のNMOSトランジスタに発生する上記信号電流に比例した信号電流を発生するよう接続された第5のNMOSトランジスタと、該トランジスタと固定電位間に接続された第4の抵抗素子を含み、前記第4の抵抗素子が前記第1の抵抗素子と同一半導体基板上に形成されて前記第1の抵抗素子と実質的に同一の抵抗値変動を有し、前記第1の入力電圧と第2の入力電圧との差に比例した固定利得の信号電圧を出力するものであることを特徴とする請求項15記載の差動アンプ。

【請求項20】 前記電圧／電流変換部で変換された電流信号をそれに比例した電圧信号に変換する第2の電流／電圧変換部を更に備え、

前記第2の電流変換部は、前記第1及び第2のNMOSトランジスタに発生する上記信号電流に比例した信号電流を発生するよう接続された第5及び第6のNMOSトランジスタと、該トランジスタと固定電位間に接続された第4及び第5の抵抗素子を含み、前記第4及び第5の抵抗素子が前記第1の抵抗素子と同一半導体基板上に形成されて前記第1の抵抗素子と実質的に同一の抵抗値変

10

20

30

40

50

動を有し、前記第1の入力電圧と第2の入力電圧との差に比例した固定利得の信号電圧を差動出力するものであることを特徴とする請求項16記載の差動アンプ。

【請求項21】 請求項20記載の差動アンプと、この差動アンプの前記第1の電流／電圧変換部の非反転出力及び第2の電流／電圧変換部の反転出力と前記第1の入力電圧との間にそれぞれ接続される第1及び第2の容量素子と、前記差動アンプの前記第1の電流／電圧変換部の反転出力及び第2の電流／電圧変換部の非反転出力と前記第2の入力電圧との間にそれぞれ接続された第3及び第4の容量素子とを備えて成るものであることを特徴とする可変容量回路。

【請求項22】 差動入力電圧信号の直流電圧をシフトしかつ交流振幅を減衰させる手段と、この手段により得られた差動信号を低インピーダンスで出力するバッファ手段と、該バッファ手段の出力を入力信号とする抵抗素子および容量素子を含むローパスフィルタの出力信号を前記入力信号から減ずることによってハイパスフィルタ特性を得よう構成されたアナログフィルタ回路であって、

前記ローパスフィルタは、前記差動信号の非反転信号を入力に受ける前記バッファ手段の出力に一端が接続された第1の抵抗素子と、該第1の抵抗素子と固定電位間に接続された第2の抵抗素子と、前記差動信号の反転信号を入力に受ける前記バッファ手段の出力に一端が接続された第3の抵抗素子と、該第3の抵抗素子と固定電位間に接続された第4の抵抗素子と、請求項21記載の可変容量回路とを含んで構成され、

前記可変容量回路に含まれる差動アンプの前記第1の入力端子が前記第1の抵抗素子と第2の抵抗素子との結合点に接続され、前記差動アンプの前記第2の入力端子が前記第3の抵抗素子と第4の抵抗素子との結合点に接続されて成るものであることを特徴とするアナログフィルタ回路。

【請求項23】 請求項22記載のアナログフィルタ回路を含み、該アナログフィルタ回路の周波数特性が金属導線ケーブルを伝送線路として受信された信号の周波数特性の逆特性を近似したことを特徴としたCMOS技術を用いて実現されたATM-LAN用フィジカルレイヤ用の半導体集積回路。

【請求項24】 パーソナルコンピュータに実装可能なサイズを有し、少なくとも請求項23記載の半導体集積回路が搭載されて、ICカード又は回路ボード化されて成るものであることを特徴とするATM-LANインタフェースカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号処理回路さらにはアナログフィルタ回路及びそれに利用して好適な可変容量回路に係り、特に半導体集積回路化するのに好適

なアナログフィルタ回路、そしてATM-LANインタフェースカードの波形等化回路などに適用して有効な技術に関するものである。

【0002】

【従来の技術】従来、半導体集積回路化されたアナログフィルタ回路の1例として容量と抵抗とを用いた図16に示すようなCRフィルタ回路が知られている。図16のフィルタ回路は、アナログ信号の入力端子1と出力端子4との間に抵抗値Rの抵抗素子2が接続され、出力端子4と固定電位VBとの間に容量値Cの容量素子3が接続されたものである。このフィルタはカットオフ周波数が $f_c = 1/2\pi CR$ で表わされるローパス特性を有する。

【0003】しかしながら、上述したアナログフィルタ技術には、次のような問題がある。すなわち、通常の半導体基板上に形成された抵抗素子や容量素子の値は製造ばらつきを有するため、これによって上記フィルタ回路のカットオフ周波数 f_c が所望値から大きくずれてしまうというものである。

20 【0004】

【発明が解決しようとする課題】この問題を解決するために、本発明者は以下に示す技術を検討したが、それら技術の何れも、アナログフィルタ回路を内蔵して実現されるチップコストの経済性、アナログフィルタ回路の消費電力、または周波数帯域の点などにおける適用範囲の汎用性及び特性の安定性等において、さらに解決すべき課題を残していることが明らかにされた。

30 【0005】先ず第1の検討技術として、CRフィルタ回路の抵抗素子をアンプを用いて実現したトランスコンダクタンス回路、すなわち電圧／電流変換回路で置換し、その変換比を制御することによってフィルタのカットオフ周波数のばらつきを抑えるOTA-C (Operational Trans-conductance Amplifier-Capacitor) 回路がある。この方法では、例えばIEEE Journal of Solid-State Circuits, vol.23, No.3, June 1988の750ページから758ページに記載されているように、トランスコンダクタンスの制御のためにフィルタと同一の半導体集積回路内に、それ専用のPLL (Phase-Locked Loop) 回路が別に必要であり、かつ一般的にPLL回路は比較的大きな回路規模を占めるため、次数の大きいフィルタや多数のフィルタが集積される場合を除いては、低コスト化および低消費電力化実現の障害要因となっている。

40 【0006】第2の検討技術は、CRフィルタ回路の容量素子として差動増幅器（以下単にアンプと言う）の利得倍に近似された可変容量回路を用い、この利得を調整することによってフィルタのカットオフ周波数を調整するものである。例えば図2に示されるように、非反転入力端子(+)が固定電位VBに接続された差動アンプ20と、その出力端子と反転入力端子-1との間に接続された容量素子3' とにより構成されている。ここでアン

ブ20の差動利得をG、容量素子3'の容量値をC（インピーダンスをZ）、端子T1の電圧をV1とすると、アンプ20の交流出力電圧は-GV1となり、端子T1*

$$i = (V1 + GV1) / Z = (1 + G) V1 / Z \dots (\text{式1})$$

のように表される。

【0007】ここで $Z = 1 / sC$ （sは複素角周波数）であるから、上記式1を変形して得られる端子T1から見た回路の等価インピーダンス $Z_e (= V1 / i)$ は、 $Z_e = 1 / (1 + G) C \dots (\text{式2})$ ※

$$V_{out} / V_{in} = 1 / \{1 + s(1 + G)CR\} \dots (\text{式3})$$

$$f_c = 1 / 2\pi(1 + G)CR \dots (\text{式4})$$

のように表わすことができる。

【0008】ここで、例えば特公平1-14726号で提案されているようにアンプ20の利得Gを1より十分大きい値にすることができれば、上記（式4）は $f_c \approx 1 / 2\pi GCR \dots (\text{式4'})$

に近似する事ができ、抵抗値が大きくまたは小さくなった場合に、アンプの利得を逆に小さくまたは大きくすることによって、理論的にはフィルタのカットオフ周波数の変動を小さくできる。しかしながら、アンプの利得を大きくすると、アンプ出力が歪んだり飽和を生じるほか、一般的に製造技術が同じ単体トランジスタは動作電流を変化させてもその利得帯域積は制限されるから、取り扱える信号帯域が狭り、低消費電力で高周波数のカットオフを実現するのが難しくなる。また逆にアンプの利得が小さい場合にはフィルタ回路のカットオフ周波数が所望値から大きくずれを生じ、したがって実用は困難である。

【0009】一方、本発明の出願に先立って本発明者らが特願平5-230093号で提案した回路構成を用い、全てのアンプ利得に対してもG倍の等価容量を得ることができるが、残念ながら上記提案では2つのアンプが縦続構成であるため、動作遅延が比較的大きくて高周波領域での応用が制限されるという問題を残している。

【0010】本発明の目的は、半導体基板上に形成された抵抗素子の値が大きくばらついても、カットオフ周波数のばらつきが少なく、かつ余分に大規模な周波数制御機能回路の追加を必要としない低コストのアナログフィルタ回路、およびそれに適した可変容量回路を提供することにある。

【0011】本発明の他の目的は、従来一般に10MHz以上の比較的高いカットオフ周波数が要求される分野に用いるには他の半導体プロセスより不利とされた相補型MOS技術を用いても、低消費電力でかつ高周波のアナログフィルタ回路を提供することにある。

【0012】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0013】

*から容量素子3'に流れ込む電流iはアンプ20の入出力間電圧差をインピーダンスZで除したものとなるから、

※となる。これにより、図2の可変容量回路の等価的な容量値は、容量素子3'の容量値Cの(1+G)倍となり、フィルタ回路の入出力伝達関数 V_{out} / V_{in} 、およびカットオフ周波数 f_c はそれぞれ、

【課題を解決するための手段】

【1】まず、本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。即ち、図1に例示されるように、CRフィルタ回路の容量素子として、アンプの利得がCRフィルタ回路の抵抗素子(2)の値(R)に逆比例した比較的小さな値を有する可変容量回路部(20, 3')と、アンプの利得が固定された固定容量回路部(21, 3'')とを入力信号(T1, VB)に対して並列に接続した可変容量回路(30)を用い、可変容量回路(30)の等価的な容量値がアンプ(20)の利得倍に比例するようにする。ここで、前記アンプ(20)の利得がCRフィルタ回路の抵抗素子(2)の値(R)に逆比例するとは、CRフィルタ回路の抵抗素子(2)が形成されている半導体基板に前記アンプ(20)が形成され、そのアンプ(20)は当該半導体基板に形成された抵抗素子を有し、この抵抗素子の抵抗値が前記フィルタ回路の抵抗素子(2)の抵抗値(R)に等しくされているという、一例を意味している。要は、前記可変容量回路部を構成するアンプ(20)の差動利得が、当該アンプ(20)に含まれる前記抵抗素子の値に逆比例するということである。

【0014】半導体基板上に形成された抵抗素子の値の変動幅は例えば±30%程度、容量素子値の変動幅はそれに対して±10%程度と小さくされる。このとき、上記した手段によれば、半導体基板上に形成されたCRフィルタ回路の抵抗素子(2)の値が上記した範囲程度に大きく変動しても、その変動を打ち消すように可変容量回路(30)を構成するアンプ(20)の利得が逆比例して、可変容量回路の等価容量の値が前記CRフィルタ回路の抵抗素子(2)の変動分を相殺するように変化し、フィルタ回路のカットオフ周波数を所望の値に自動的かつ安定に保つ。上記手段では、可変及び固定容量回路部にそれぞれ含まれる容量素子それ自体の値の変動によるカットオフ周波数の補正はされないが、前記したように容量値の製造変動幅は抵抗素子に比べるとはるかに小さいから、それがカットオフ周波数の許容変動範囲内であれば、従来技術OTA-Cフィルタに必要とされたPLLのようなフィルタ回路のカットオフ周波数を制御するために付加される比較的大規模な回路を用いる必要

もなく、かつアンプ利得も小さいから低電源電圧で動作が可能となり、実現される半導体集積回路の低コスト化、低消費電力化が可能になる。

【0015】上記した手段の説明はCRフィルタ回路を一例としており、そこに含まれる可変容量回路、これを用いたその他のフィルタ回路に関する手段を以下個々に説明する。

【0016】〔2〕可変容量回路の基本形は、図1に例示されるように、可変容量回路部(20、3')と固定容量回路部(21、3'')が、入力信号(T1、VB)に対して並列に接続されて成る。可変容量回路部は、第1極性の第1の入力端子(例えば反転入力端子(-))及び第2極性の第2の入力端子(例えば非反転入力端子(+))を有する第1の差動アンプ(20)、及び該第1の差動アンプの出力端子と前記第1の入力端子との間に接続された第1の容量素子(3')を含み、前記第1の差動アンプの差動利得が当該差動アンプに含まれる抵抗素子(例えば図10の抵抗RC0)の値に逆比例するように構成される。固定容量回路部は、第1極性の第3の入力端子(例えば反転入力端子(-))及び第2極性の第4の入力端子(例えば非反転入力端子(+))を有する第2の差動アンプ(21)、及び該第2の差動アンプの出力端子と第4の入力端子との間に接続された第2の容量素子(3'')とを含み、前記第2の差動アンプの差動利得が固定されて成る。前記第1の差動アンプ(20)と第2の差動アンプ(21)は、反転入力端子と非反転入力端子を相互に入れ換えた回路構成を有するから、第1の差動アンプ(20)の等価容量は $C(1+G)$ 、第2の差動アンプ(21)の等価容量は $C(1-G)$ とされ、その並列接続を考えれば、固定容量回路部を構成する差動アンプ(21)の利得と容量を適当に決定すれば、可変容量回路の等価容量は、アンプ(20)の利得(G)のあらゆる値に対して実質的に比例したものとされる。さらに、2個の差動アンプは入力信号に対して並列接続であるから、2個のアンプを縦続接続して可変容量回路を構成する場合に比べ、動作遅延が小さく高周波領域での応用が制限されないという利点を有している。

【0017】上記可変容量回路の基本形において、双方のアンプ(20、21)の容量を等しくするとき、前記固定容量回路部の第2の差動アンプ(21)の差動利得は2に設定すればよい。この態様によって安定した回路動作を期待できる。

【0018】〔3〕前記基本形を成す可変容量回路を応用したローパスフィルタのようなアナログフィルタ回路は、図1に例示されるように、一端が信号入力端子

(1)に接続された抵抗素子(2)と前記可変容量回路を含み、前記第1の差動アンプ(20)の第1の入力端子と第2の差動アンプ(21)の第4の入力端子を前記抵抗素子(2)の他の端子に、前記第1の差動アンプ

(20)の第2の入力端子と前記第2の差動アンプ(21)の第3の入力端子を固定電位(VB)に、それぞれ接続して成る。このフィルタ回路の作用は前述の通りである。

【0019】また、図4に例示されるように、そのようなフィルタ回路を並列に設け、各アナログフィルタ回路に互いに極性が反転した入力信号(+Vin、-Vin)が差動的に供給される差動形式にすることも可能である。出力については、各アナログフィルタ回路の出力に互いに極性が反転した出力信号(+Vout、-Vout)を形成することになるが、その差動出力信号の差分をフィルタ出力とする事も可能である。差動入力を採用すれば、入力アナログ信号に同相的に重畳された雑音や、同一の半導体基板上に形成集積された大規模論理回路から発生されて重畳される雑音が問題となる場合に、これらの影響を軽減できる。

【0020】〔4〕差動入力を考慮したときの可変容量回路の形態は前記基本形以外に、図5に例示される可変容量回路(31)のように、差動入力・出力形式の固定容量回路部のアンプ(21)を2個の可変容量回路部のアンプ(20-1、20-2)に兼用させる回路形式によっても実現可能である。即ち、この構成に応ずる固定容量回路部は、差動入力及び差動出力を有する固定利得の第3の差動アンプ(21)、該第3の差動アンプの一方の入力とそれと同極性の出力との間に接続された第3の容量素子(3''-1)、及び第3の差動アンプ(21)の他方の入力とそれと同極性の出力との間に接続された第4の容量素子(3''-2)を含み、第3の差動アンプ(21)の一方の入力(+)と一方の可変容量回路部のアンプ(20-1)の入力(-)とは相互に逆極性同士で結合され、第3の差動アンプ(21)の他方の入力(-)と他方の可変容量回路部のアンプ(20-2)の入力(-)とは相互に同極性同士で結合される。この構成により、固定容量回路部の回路規模を削減できる。

【0021】このとき、前記固定容量回路部に含まれる第3の差動アンプの固定差動利得を1とすれば、前記基本形の可変容量回路においてアンプ(21)のゲインを2とした場合と同じ特性を得ることができる。

【0022】この可変容量回路(31)を応用したローパスフィルタのようなアナログフィルタ回路は、図5に例示されるように、可変容量回路(31)と共に、一端が非反転入力信号端子(1-1)に接続された第1の抵抗素子(2-1)と、一端が反転入力信号端子(1-2)に接続された第2の抵抗素子(2-2)とを備える。可変容量回路(31)は、その非反転入力端子(T1-1)が前記第1の抵抗素子の他端に、その反転入力端子(T1-2)が前記第2の抵抗素子の他端に接続される。

【0023】〔5〕可変容量回路を応用したアナログフィルタは、ハイパスフィルタとし構成することも可能で

ある。即ち、図7及び図8に例示されるように、入力信号を受ける抵抗素子(2-1)及び可変容量回路(30, 32)を含むローパスフィルタの出力信号をアンプ(7-1)を介して前記入力信号から減ずることによってハイパスフィルタ特性を得ようアナログフィルタ回路を構成できる。可変容量回路を非接地形式で接続する回路構成を採用しないので、低消費電力で且つカットオフ周波数の高いハイパスフィルタを容易に実現できる。

【0024】そのようなアナログフィルタ回路を並列に設けることによって差動入力形式のハイパスフィルタを構成することができる。そのときの出力は、差動出力、或いは、差動出力信号の差分の出力とすることができる。

【0025】〔6〕さらに回路規模を減少させた可変容量回路(32)は、図7に例示されるように、差動入力及び差動出力を有し、差動利得が当該差動アンプに含まれる抵抗素子の値に逆比例する第1の差動アンプ(20)、この第1の差動アンプの一方の入力端子とそれと逆極性の出力との間に接続された第1の容量素子(3'-1)、及び第1の差動アンプの他方の入力端子とそれと逆極性の出力との間に接続された第2の容量素子(3'-2)とを含んで成る可変容量回路部を備え、そして、差動入力及び差動出力を有する固定利得の第2の差動アンプ(21)、該第2の差動アンプの一方の入力端子とそれと同極性の出力との間に接続された第3の容量素子(3"-1)、及び第3の差動アンプの他方の入力端子とそれと同極性の出力との間に接続された第4の容量素子(3"-2)とを含んで成る固定容量回路部と有する。前記第1の差動アンプ(20)の差動入力と第2の差動アンプ(21)の差動入力とは相互に極性の異なるもの同士で接続され、一方の接続ノードを非反転入力端子、他方の接続ノードを反転入力端子として構成される。

【0026】この可変容量回路(32)は、当該可変容量回路の前記非反転入力端子を第1の抵抗素子(2-1)の他端に、前記可変容量回路の前記反転入力端子を第2の抵抗素子(2-2)の他端に、それぞれ接続して成るローパスフィルタに適用できる。また、図7に例示されるように、そのアナログフィルタ回路の差動出力信号を夫々に対応される差動入力信号から減ずる手段(7-1, 7-2)を更に備えてハイパスフィルタ特性を得よう構成できる。

【0027】〔7〕前記各種可変容量回路に適用される差動アンプは、図10、図11に例示されるように、第1の入力電圧(ViP)と第2の入力電圧(ViM)との差をそれに比例した電流信号に変換する電圧/電流変換部(50)と、該電圧/電流変換部で変換された電流信号をそれに比例した電圧信号に変換する電流/電圧変換部(60, 61)とを備える。前記電圧/電流変換部(50)は、前記第1、第2の入力電圧がゲート電極に

供給された第1、第2のPMOSTランジスタ(MT1, MT2)と、該第1、第2のPMOSTランジスタのソース電極に接続された第1、第2の定電流源(IB1, IB2)と、前記各ソース電極間に接続され半導体基板上に形成される第1の抵抗素子(RC0)と、前記第1、第2のPMOSTランジスタのドレイン電極に接続された第3、第4の定電流源(IB3, IB4)と、前記第1、第2のPMOSTランジスタのそれぞれのソースとドレイン電極にドレインとゲート電極が接続された第1、第2のNMOSTランジスタ(MT3, MT4)とを含み、前記第1、第2のNMOSTランジスタ(MT3, MT4)には、前記第1の電流源電流と第3の電流源電流との差分、上記第2の電流源電流と第4の電流源電流との差分をそれぞれのバイアス電流とするときに、前記第1の入力電圧(ViP)と第2の入力電圧(ViM)との差を前記第1の抵抗素子(RC0)の値で除した信号電流(is)が相補的に加算されるようにされる。前記電流/電圧変換部(60, 61)は、その出力をシングルエンドとする場合には、前記第1のNMOSTランジスタに発生する上記信号電流に比例した信号電流を発生するよう接続されたNMOSTランジスタ(MT5, MT9)と、該ランジスタと固定電位間に接続された抵抗素子(RC1, RC3)を含んで構成され、上記第1の入力電圧と第2の入力電圧との差に比例した信号電圧(VGOP)を出力する。

【0028】この差動アンプの出力を差動とする場合、前記電流/電圧変換部(60, 61)は更に、前記第2のNMOSTランジスタ(MT4)に発生する上記信号電流に比例した信号電流を発生するよう接続されたNMOSTランジスタ(MT6, MT10)と、該ランジスタと固定電位間に接続された抵抗素子(RC2, RC4)とを含み、上記第1の入力電圧(ViP)と第2の入力電圧(ViM)との差に比例した信号電圧(VGOP, VGOM)を差動出力する。

【0029】そのようなアンプによれば、NMOSTランジスタ(MT3, MT4)には、差動入力電圧に比例し、第1の抵抗素子(RC0)の値に逆比例した互いに相補的な交流信号電流を形成でき、当該交流信号電流を電圧に変換するときの抵抗素子(RC1, RC2, RC3, RC4)の値と前記第1の抵抗素子(RC0)との比によってアンプのゲインを決定することが出来る。

【0030】このアンプを可変容量回路部の利得可変のアンプ(20, 20-1, 20-2)とするには、図10に例示されるように、第1の電流/電圧変換部(60)は、それに含まれる前記抵抗素子(RC1, RC2)を前記第1の抵抗素子(RC0)に比べて抵抗値変動が少ない特性を有する抵抗素子、例えば第1の抵抗素子と一緒に同じ半導体基板上に形成されていない外付け抵抗素子とし、前記第1の入力電圧と第2の入力電圧との差に比例し、かつ前記第1の抵抗素子の値に反比例した

信号電圧を出力させるようにすればよい。

【0031】前記アンプを固定容量回路部の利得固定のアンプ(21)とするには、図11に例示されるように、第2の電流/電圧変換部(61)は、それに含まれる前記抵抗素子(RC3, RC4)を前記第1の抵抗素子(RC0)と同一半導体基板上に形成されて前記第1の抵抗素子と実質的に同一の抵抗値変動を有する抵抗素子とし、前記第1の入力電圧と第2の入力電圧との差に比例した固定利得の信号電圧を出力させるようにすればよい。

【0032】可変容量回路部と固定容量回路部から成る可変容量回路全体としてのアンプの回路規模を更に減少させるには、図12に例示されるように、前記電圧/電流変換部(50)と共に、当該電圧/電流変換部(50)で変換された電流信号をそれに比例した電圧信号に変換する第1及び第2の電流/電圧変換部(60, 61)の双方を採用してアンプ(22)を構成する。

【0033】〔8〕このように可変容量回路部と固定容量回路部のアンプの回路規模が減少された当該差動アンプ(22)を用いた可変容量回路(33)は、図13に代表的に示されるように、当該差動アンプ(22)と、この差動アンプ(22)の前記第1の電流/電圧変換部(60)の非反転出力及び第2の電流/電圧変換部(61)の反転出力と前記第1の入力電圧との間にそれぞれ接続される第1及び第2の容量素子(3'-1, 3"-1)と、前記差動アンプの前記第1の電流/電圧変換部(60)の反転出力及び第2の電流/電圧変換部(61)の非反転出力と前記第2の入力電圧との間にそれぞれ接続された第3及び第4の容量素子(3'-2, 3"-2)とを備えて成る。

【0034】〔9〕前記可変容量アンプは、図13に例示されるように、差動入力電圧信号(+V_{in}, -V_{in})の直流電圧をシフトしかつ交流振幅を減衰させる手段(RIP1, RIP2, RIM1, RIM2)と、この手段により得られた差動信号を低インピーダンスで出力するバッファ手段(6-1, 6-2)と、該バッファ手段の出力を入力信号とする抵抗素子(2-1, 2-2)及び可変容量回路(33)を含むローパスフィルタの出力信号を、前記入力信号からアンプ(7-1, 7-2)で減ずることによってハイパスフィルタ特性を得るよう構成されたアナログフィルタ回路に適用することができる。前記ローパスフィルタは、前記差動信号の非反転信号を入力に受ける前記バッファ手段の出力に一端が接続された第1の抵抗素子(2-1)と、該第1の抵抗素子と固定電位(VB)との間に接続された第2の抵抗素子(5-1)と、前記差動信号の反転信号を入力に受ける前記バッファ手段の出力に一端が接続された第3の抵抗素子(2-2)と、該第3の抵抗素子と固定電位(VB)との間に接続された第4の抵抗素子(5-2)と、前記可変容量回路(33)とを含んで構成され、前

記可変容量回路(33)に含まれる差動アンプの前記第1の入力端子(反転入力端子(-))が前記第1の抵抗素子と第2の抵抗素子との結合点に接続され、前記差動アンプの前記第2の入力端子(非反転入力端子(+))が前記第3の抵抗素子と第4の抵抗素子との結合点に接続されて成る。

【0035】〔10〕上記可変容量回路(33)を用いたハイパスフィルタ特性を有するアナログフィルタ回路は16MHzまでのような比較的高い周波数範囲のハイパス特性を得ることができる。このアナログフィルタ回路を含み、該アナログフィルタ回路の周波数特性が金属導線ケーブルを伝送線路として受信された信号の周波数特性の逆特性を近似することにより、当該アナログフィルタ回路はATM-LANインタフェース用の波形等化フィルタ回路(902)に最適である。さらに、そのフィルタ回路(902)の低消費電力と高いカットオフ周波数とにより、このフィルタ回路(902)を含むATM-LAN用フィジカルレイヤ用の半導体集積回路をCMOS回路技術を用いて実現できる。そのような半導体集積回路を搭載して、パーソナルコンピュータに実装可能なサイズを有して成るICカード又は回路ボード化されたATM-LANインタフェースカードを実現できる。

【0036】

【発明の実施の形態】図1には本発明に係る可変容量回路を容量素子として用いたアナログローパスフィルタ回路の一例回路とその等価回路が示されている。同図に示される可変容量回路30は、差動アンプ(以下単にアンプとも記す)20と容量素子3'からなる反転入力型の可変容量回路部を主回路として備え、これに、アンプ21と容量素子3''からなる非反転入力型の固定容量回路部を副回路とし、入力(T1, VB)に対して並列に接続されて成る。前記主回路としての反転入力型可変容量回路部(20, 3')は図2に基づいて説明した通りである。前記副回路としての非反転入力型の固定容量回路部(21, 3'')は、図3に示されるように、図2に示された可変容量回路(すなわち反転入力型)に対して、アンプの反転入力端子(-)と非反転入力端子(+)を互いに入れ替えた構成を有する非反転入力型の容量回路とされる。すなわち、アンプ21の反転入力端子(-)が固定電位VBに、非反転入力端子(+)と出力端子との間に容量値Cの容量素子3''が配置されている。この非反転入力型固定容量回路部の等価容量は(1-G)Cとなる。

【0037】前記アンプ20は、可変容量回路部の容量値を可変にするために、その利得は可変にされる。また、前記アンプ21は、固定容量回路部の容量値を固定にするために、そのゲインは固定値とされる。ここで、それらアンプ20, 21のゲインが可変、固定であるとは、それらアンプが形成される半導体集積回路のプロセスばらつきや雰囲気温度の変化などに対して、可変、一

定の許容範囲をもって固定にされることを意味する。各種アンプのゲインに関する可変、固定の文言は、本明細書の全てにおいてその意味で用いられている。アンプ20、21の具体的な回路構成については詳細を後述するが、例えばアンプ20、21のゲインが第1の抵抗素子の抵抗値に対する第2の抵抗素子の抵抗値の割合（第2の抵抗素子の抵抗値／第1の抵抗素子の抵抗値）をもって決定されるものとする、アンプ20の場合には、前記第2の抵抗素子は半導体基板にその他の回路素子と一緒に形成されていない外付け抵抗のような抵抗素子とされ、第1の抵抗素子は半導体基板にその他の回路素子と一緒に形成されている抵抗素子とされる。アンプ21の場合には第1及び第2の抵抗素子共に半導体基板にその他の回路素子と一緒に形成されている抵抗素子とされる。

【0038】特に制限されないが、図1において、副回路のアンプ21の利得は固定値2とされている。図2及び図3の夫々に示されている等価回路の並列接続で考えれば容易に理解されるように、図1の回路では端子T1から見た回路の等価的な容量GCRは差動アンプ20の利得Gのあらゆる値について正確に正比例したものとなる。尚、この関係は、アンプ21の利得が2の場合に限定されず、容量素子3'の容量値との関係で任意であり、例えば容量素子3'の容量値をC/2とし、アンプ21の利得Gを3にしても同じである。

【0039】したがって、フィルタ回路の入出力伝達関数およびカットオフ周波数fcはそれぞれ、 $V_{out}/V_{in} = 1 / \{1 + sGCR\} \dots$ (式5)
 $fc = 1 / 2\pi GCR \dots$ (式6)
 のように表わすことができる。

【0040】ここで、アンプ20の利得Gを、例えばG=R0/Rとする。R0はその値の変動が少い抵抗素子、特に限定されないが、例えば半導体基板外に設けた温度変動係数などが小さい抵抗素子のあらかじめ選定された値とされる。Rは前記アンプ20に含まれる抵抗素子（半導体基板に形成された抵抗素子であって前記抵抗素子2と同じプロセスで形成される）の値とされる。ここでは、そのような抵抗素子の抵抗値として、特に制限されないが、上記抵抗素子2の抵抗値Rと同じ値を想定している。このアンプ20のゲインG(=R0/R)は、当該アンプ20内の抵抗値Rを持った抵抗素子の値Rに逆比例することになる。前記抵抗2の抵抗値Rが設計値に対してプロセスばらつき等の影響を受けて変動すると、それに応じて同じだけ前記アンプ20内の抵抗値Rを持った抵抗素子の抵抗値も変動される。前記抵抗値R0の具体的な値として、これも特に限定されるものではないが、アンプ20の利得の中心値が例えばG=1になるようR0=Rに設定する。これにより、上記(式6)は、

$$fc = 1 / 2\pi CR0 \dots (式6')$$

のように書き換えられる。

【0041】したがって、フィルタ回路の抵抗素子2の抵抗値Rが大きく変動しても、それと同じ割合をもって、アンプ20内の抵抗値Rを有する抵抗素子の抵抗値も変動するから、可変容量回路30の等価的な容量値GCRが自動的に変化して、アナログローパスフィルタ回路のカットオフ周波数fcを安定かつ所望の値に保つことができる。すなわち、(式6)において、Rが変動すると、Gはそれに逆比例して変動し、双方の変動分が相殺される。

【0042】図4には、図1に示された可変容量回路30を差動構成にした場合の可変容量回路31とそれを用いたアナログフィルタ回路の一例が示される。一般的に差動構成は素子数が概略2倍必要になるが、入力アナログ信号に同相的に重畳された雑音や、同一の半導体基板上に形成集積された大規模論理回路から発生されて重畳される雑音が問題となる場合には、これらの影響を軽減する手段として極めて有効である。図4の差動構成は、図1の構成を単に2系統並列にして、それぞれの入力端子に互いに反転した信号+Vin、-Vinを供給することによって実現されている。フィルタ回路の差動出力は+Vout、-Voutとして図示されている。

【0043】図5には図1に示された可変容量回路30を差動構成にした更に別の可変容量回路31とそれを用いた差動アナログフィルタ回路の一例が示され、図6には図5のフィルタ回路の等価回路が示されている。図5の場合には、可変容量回路31を構成する固定利得アンプ21を反転および非反転信号の差動入力とし、かつその差動利得を固定値1としている。それによって固定利得アンプの数を1つ減らすことができる。この差動型ローパスフィルタ回路の入出力伝達関数とカットオフ周波数fcは前記の(式5)、(式6)または(式6')とそれぞれ同じである。尚、図5の容量素子3'-1、3'-2は図1の容量素子3'に対応され、アンプ20-1、20-2はそれぞれ前記アンプ20に対応され、容量素子3"-1、3"-2はそれぞれ前記容量素子3"に対応され、抵抗素子2-1、2-2はそれぞれ前記抵抗素子2に対応される。また、図6において非反転入力側の31-1と反転入力側の31-2とは可変容量回路31を指称する。

【0044】図7には、第3の例に係る可変容量回路32と、それを差動アナログフィルタ回路へ応用した一例として、一定の低周波利得を有するハイパスフィルタ回路が示されている。一般的にハイパスフィルタ回路には非接地型の容量素子が用いられるが、この容量素子として、図1で説明したような可変容量回路をハイパスフィルタに用いるには、その可変容量回路のアンプには、高い周波数領域に渡って一定以上の利得を必要とするから、特に低消費電力でカットオフ周波数が高いハイパスフィルタを実現するのが難しくなる。そこで、図7では

バッファアンプ6の非反転及び反転出力信号から差動ローパスフィルタの非反転及び反転出力信号をそれぞれアンプ7-1、アンプ7-2を用いて減じる構成とし、ローパスフィルタの容量素子として接地型の可変容量回路が用いられている。この場合、抵抗素子2-1と5-1の接続点、および抵抗素子2-2と5-2の各接続点に前記図1の可変容量回路30または図5の可変容量回路31を接続しても実現できるが、図7では可変容量回路32を用いている。この可変容量回路32は、主回路のアンプ20および副回路のアンプ21を共に反転および

$$V_{out}/V_{in} = R_2 (1 + s G C R_1) / (R_1 + R_2 + s G C R_1 R_2)$$

… (式9)

$$f_1 = 1 / 2 \pi G C R_1 \dots (式10)$$

$$f_2 = (R_1 + R_2) / 2 \pi G C R_1 R_2 \dots (式11)$$

のように表わすことができる。

【0046】ここで差動アンプ20の利得Gは例えばG = R0/R1とする。R1は前記アンプ20に含まれる抵抗素子の抵抗値であり、特に制限されないが、この抵抗と一緒に同一の半導体基板に形成されている抵抗素子5-1、5-2の抵抗値R1と等しくされている。R0はその値の変動が少い抵抗素子、特に限定されないが、※

$$f_1 = 1 / 2 \pi C R_0 \dots (式10')$$

$$f_2 = \{ (R_1 + R_2) / R_2 \} / 2 \pi C R_0 \dots (式11')$$

のように書き換えられる。

【0047】したがって、半導体基板上に形成された抵抗素子2と5の値R1、R2が変動しても、第1のカットオフ周波数f1は前述と同様に安定であり、また抵抗比(R1+R2)/R2は原理的に一定であるから第2のカットオフ周波数f2についても共に安定化される。さらに(式9)の入出力利得についても、f1より十分に低い周波数に対してはR1/(R1+R2)で表わされ、またf2より十分に高い周波数に対しては利得が1となるから共に安定にできる。図7において前記固定電位VBはアナロググランドとされる。この固定電位VBは、例えばシリコンのバンドギャップなどを利用して安定な電圧を形成する図示しない基準電圧発生回路で生成した基準電位とすることができる。

【0048】尚、図7において差動アンプ6の反転及び非反転入力端子にはそれぞれ互いに位相が反転した信号+Vin、-Vinが供給されているが、場合によってはどちらか一方の入力信号を省いて利用することも可能である。また、図7に代表されるようなハイパスフィルタ回路の構成は、差動入力+Vin、-Vinと差動出力+Vout、-Voutを有するものに限定されず、例えば図8のように構成することも可能である。図8において入力信号Vinはソースフォロア回路のようなバッファアンプ6で受け、バッファアンプ6の出力側には抵抗素子R2を介して図1の可変容量回路30が固定電位(VB)との間に配置されている。

【0049】図9には、本発明に係る可変容量回路およ

※び非反転の差動入力、差動出力形式として、アンプ20の差動利得を図5の場合の半分(G/2)とし、副アンプ21は図5の場合と同じように構成されている。それによって差動可変容量回路に必要なアンプの数は、図5に比べてアンプ20の数が更に一つ減少されている。

【0045】このハイパスフィルタは低周波領域にも一定の利得を有するため2つのカットオフ周波数が存在する。その入出力伝達関数と第1のカットオフ周波数f1、第2のカットオフ周波数f2は、アンプ6、7-1及び7-2の利得を共に1とすると、それぞれ、

※例えば半導体基板外に設けた温度変動係数などが小さい抵抗素子のあらかじめ選定された値とし、その具体的な値として、これも特に限定されるものではないが、利得の中心値が例えばG=1になるようR0=R1に設定することにより、上記(式10)と(式11)はそれぞれ、

びアナログフィルタ回路に利用して好適な前記各種アンプのバイアス電流回路が示されている。図9において、トランジスタMP1、MP2および抵抗素子Ri1は、外部抵抗素子Rrefが接地電位端子GNDとの間に接続される外部端子TR0に対する半導体集積回路の入力保護回路を構成している。アンプOP1は、ここではバウダウン制御信号PDが低電位でトランジスタMA1及びMA2をオン状態に、トランジスタMA7及びMA8をオフ状態とさせる時に、その非反転入力端(+)に供給される固定電位VBを上記外部抵抗素子Rrefの抵抗値で除した値の電流をトランジスタMA5およびMA3に生じせしめるよう動作する。このトランジスタMA3に流れる電流は、トランジスタMA4、MA6、MA9に、順次それらの寸法比に応じた比例倍のミラー電流を生じさせ、トランジスタMA6及びMA10のドレインノードA3及びA4、トランジスタMA12のドレインノードA5、及びトランジスタMA13のドレインノードA6にそれぞれ一定の電圧を形成させる。これにより、後述する図10、図11及び図12の差動アンプのバイアス電流を所望の値に設定することができる。このとき、前記固定電位VBは図示しない基準電圧発生回路で発生させる安定な電圧とすることができ、また、外部抵抗素子Rrefには比較的低価格で温度変動係数などが小さい素子を選定することが可能であるから、この図9及び後述するアンプのバイアス電流を比較的高精度かつ安定に設定し保持することは容易である。

【0050】図10には、本発明に係る可変容量回路お

およびアナログフィルタ回路に利用して好適な可変利得を有する差動アンプ20、20-1、20-2の詳細な一例が示されている。同図に示されているアンプは、非反転電圧入力信号 V_{iP} と反転電圧入力信号 V_{iM} の差動成分を抵抗素子 $RC0$ の値に反比例した電流信号 i_s に変換する電圧／電流変換部50と、該電流信号 i_s をそれに比例した電圧信号に変換する電流／電圧変換部60とから構成されている。

【0051】電圧／電流変換部50では、ゲートに非反転電圧入力信号 V_{iP} が供給されたPMOSトランジスタMT1と、そのソースおよびドレインに接続された定電流源IB1及びIB3と、ゲートに反転電圧入力信号 V_{iM} が供給されたPMOSトランジスタMT2と、そのソース及びドレインに接続された定電流源IB2及びIB4と、トランジスタMT1及びMT2のそれぞれのソース、ドレインにドレイン、ゲートが接続され、そのソースが接地電位GNDに接続されたNMOSトランジスタMT3及びMT4と、トランジスタMT1とMT2のソース間に接続された半導体基板上に形成された抵抗素子 $RC0$ とから構成されている。

【0052】ここで定電流源IB1とIB2を構成するそれぞれ直列接続された電流源MOSトランジスタのゲートには図9の前記バイアス回路で形成されたノードA4、ノードA5又はA6の電位が供給される。定電流源IB3とIB4を構成する電流源MOSトランジスタのゲートには図9の前記バイアス回路で形成されたノードA3の電位が供給される。これによってそれら定電流源IB1、IB2、IB3、IB4は夫々に対応されるノードA3、A4、A5またはA6のミラー倍の電流を流すよう設定されている。定電流源IB1とIB3、IB2とIB4の各電流値については $IB1=IB2$ 、 $IB3=IB4$ 、且つ $IB1>IB3$ のように設定され、PMOSトランジスタMT1、MT2には常に定電流源IB3、IB4の定電流が流れている。

【0053】いま入力電圧が $V_{iP}=V_{iM}$ のときにはノードv1およびv2の電位は等しいから抵抗素子 $RC0$ には電流が流れず、トランジスタMT3、MT4には等しい差電流の $IB1-IB3$ が流れる。一方、入力電圧 V_{iP} と V_{iM} が例えば図示の矢印で示すような方向、すなわち $V_{iP}>V_{iM}$ に変化した場合、その差電圧 $\Delta=V_{iP}-V_{iM}$ に等しい電位差がv1とv2間にも生じるから、抵抗素子 $RC0$ には $i_s=\Delta/RC0$ の電流が流れる。その結果、トランジスタMT3の電流は $i_3=IB1-IB3-i_s$ となり、他方のトランジスタMT4の電流は $i_4=IB1-IB3+i_s$ となる。したがって、以上から明らかなように、トランジスタMT3とMT4には差動入力電圧 Δ に比例し、抵抗素子 $RC0$ の値に反比例（逆比例）した互いに相補的な交流信号電流 $\pm i_s$ が流れる。

【0054】前記電流／電圧変換部60は、上記NMO

SトランジスタMT3とMT4の電流に対してそれぞれのミラー比倍の電流を流すよう設定されたNMOSトランジスタMT5、MT6と、それらのドレインノードv5、v6に接続された定電流源IB5、IB6と、特に限定されないが、例えば外部接続端子TR1およびTR2と固定電位供給端子TRAGとの間に接続され半導体基板外に設けた温度変動係数などが小さく抵抗値が予め選定された抵抗素子 $RC1$ 、 $RC2$ とを備える。そして、前記ノードv5とv6の各電圧を低インピーダンスで出力するための、PMOSトランジスタMT7及び定電流源IB7から成るソースフォロア回路と、同じくPMOSトランジスタMT8と定電流源IB8から成るソースフォロア回路が設けられている。ここで定電流源IB5、IB6、IB7及びIB8は前記定電流源IB1、IB2と同じように図9のバイアス回路から供給されたノードA4、A5又はA6の電圧によってそれぞれミラー倍の電流を流すよう設定されている。

【0055】上記抵抗素子 $RC1$ と $RC2$ の具体的な値は、上記NMOSトランジスタMT3とMT5の間のミラー比、NMOSトランジスタMT4とMT6の間のミラー比、所望とする差動増幅利得G、および抵抗素子 $RC0$ の値によって異なり、多種の組み合わせが可能である。例えばトランジスタMT3とMT5の間のミラー比、トランジスタMT4とMT6の間のミラー比をそれぞれ1とした場合、 $RC1(=RC2)/RC0$ が所望のアンプ差動利得Gの中心値に等しくなるよう選ぶことができる。図10に示されたアンプの利得の中心値を $G=1$ に選ぶには $RC1=RC2=RC0$ とすればよい。またこの場合、トランジスタMT3とMT5およびMT4とMT6のミラー比を一般的にnとした場合は、 $RC1=RC2=RC0/n$ としてもよい。これらの場合、各抵抗素子の絶対値は直接には利得Gとは関係ないから、それら各抵抗素子 $RC1$ 、 $RC2$ 、 $RC0$ の値は、回路各部の線形動作が可能でかつ妥当な消費電力となるよう決定すればよい。

【0056】上述のように抵抗値が設定されたとき、抵抗素子 $RC0$ の抵抗値が0.7倍または1.3倍に変動すると、アンプの差動利得はそれぞれ $G=1.43$ 、0.77とされる。更に付言すれば、抵抗素子 $RC0$ の抵抗値が0.7倍または1.3倍に変動した場合、当該抵抗素子 $RC0$ と同一の半導体基板上に形成された、例えばアナログフィルタを構成する抵抗素子の抵抗値も0.7倍または1.3倍に変動している。

【0057】図11には、本発明に係る可変容量回路およびアナログフィルタ回路に利用して好適な固定利得を有する差動アンプ21の実施例が示されている。このアンプ21は、前記図10と同じ構成の電圧／電流変換部50と、電流／電圧変換部61から構成されている。ただし、電流／電圧変換部61には抵抗素子 $RC0$ と同じ半導体基板上に形成された抵抗素子 $RC3$ と $RC4$ が接

続されている。この場合の各抵抗素子の値は、上述した図10の場合と全く同様にして決定でき、例えばNMOトランジスタMT3とMT9のミラー比、及びNMOトランジスタMT4とMT10のミラー比を、それぞれ1とし、アンプ21の差動利得を $G=2$ に選ぶ場合には、 $RC1(=RC2)/RC0=2$ とすればよい。この場合には、抵抗素子RC3とRC4は抵抗素子RC0と同じように変動するから、抵抗素子RC0が0.7倍または1.3倍に変動しても、差動利得は2のまま一定に保たれる。

【0058】図12には、本発明に係る可変容量回路およびアナログフィルタ回路に利用して好適な可変利得と固定利得の夫々の差動出力を有したアンプ22の一例が示されている。このアンプは、前記図10と図11の回路を合成して実現されたものであり、共通の電圧/電流変換部50に、抵抗素子RC0の値の変動に対して固定利得の差動電圧V2OP、V2OMを出力する電流/電圧変換部60と、抵抗素子RC0の値の変動に対して反比例利得Gの差動電圧VGOP、VGOMを出力する電流/電圧変換部61とが並列に接続された構成を有する。この図12の動作および各抵抗素子の値については図10及び図11についての説明の内容と同じであるからその詳細は省略する。

【0059】図13には、図12に示されたアンプ22の適用例として、低周波数領域に一定の利得を有したハイパスフィルタ回路が示されている。このフィルタ回路は、例えば金属導線ケーブルを用いた伝送システムの波形再生に不可欠な波形等化フィルタ回路として好適である。一般に金属導線ケーブルを伝送線路に用いるデジタルパルス信号伝送では、高い周波数ほど、またケーブル長が長いほど、周波数の平方根に比例した大きい減衰を生じるため、信号パルス波形は減少かつ歪み、そのままでは元のデータを誤りなく受信することは困難になる。したがって、元の信号を最小の誤り率で受信するためには、伝送線路の逆の周波数特性を持たせた波形等化フィルタを受信側に設け、送信パルス波形の歪みを補正することが必要となる。

【0060】図13において、RT1は伝送線路のインピーダンスを整合終端するための外部抵抗素子である。入力端子RXA、RXBには $+V_{in}$ および $-V_{in}$ として受信された差動信号が供給され、半導体集積基板上に形成された内部抵抗RIP1、RIP2、RIM1及びRIM2によって、固定電位VBを中心として振幅が $RIP2 \cdot V_{in} / (RIP1 + RIP2)$ の内部差動信号に変換される。このように内部差動信号の振幅を、抵抗分圧によって入力差動信号 $+V_{in}$ 、 $-V_{in}$ の振幅よりも小さくするのは、当該入力差動信号 $+V_{in}$ 、 $-V_{in}$ の振幅が大きい場合（送信端からの伝送線の長さが短いような場合）であっても、後段に配置されたアンプ22の入力がその動作電源電圧寄りにならないよう

にしたものである。この点においても、アンプ22は周波数の広い範囲に亘って安定動作することが考慮されている。ここで、 $RIP1=RIM1$ 、 $RIP2=RIM2$ であり、また固定電位VBには、特に限定はされないが、例えば半導体集積回路に供給される電源電圧VDDと接地電位GNDとの大略中間の値が供給される。この固定電位VBは、特に制限されないが、基準電圧発生回路を用いて形成することができる。

【0061】上記の内部差動入力信号はインピーダンス変換を主目的としたアンプ（例えばソースフォロア回路）6-1、6-2を介して波形等化フィルタ40に供給される。この波形等化フィルタ40は、可変容量回路部と固定容量回路部のアンプの回路規模が減少された差動アンプ22を用いた可変容量回路33を備える。この可変容量回路33は、前記差動アンプ22と、この差動アンプ22の前記第1の電流/電圧変換部60の非反転出力VGOP及び第2の電流/電圧変換部61の反転出力V2OMとアンプ22の反転入力端子（-）との間にそれぞれ接続される容量素子3'-1、3"-1と、前記差動アンプ22の前記第1の電流/電圧変換部60の反転出力VGOM及び第2の電流/電圧変換部61の非反転出力V2OPと前記アンプ22の非反転入力端子（+）との間にそれぞれ接続された容量素子3'-2、3"-2とを備えて構成される。波形等化フィルタ回路40は、前記図7の構成と基本的には同じであり、したがってその入出力伝達関数と第1のカットオフ周波数f1及び第2のカットオフ周波数f2は、アンプ6（6-1、6-2）までの利得及びアンプ7（7-1、7-2）の利得の影響を省略すれば、上記の（式9）、（式10）および（式11）とそれぞれ同じである。但し、実際にはアンプ6-1、6-2及び7-1、7-2自体が有する高周波数領域での利得の減衰によってバンドパス特性となる。

【0062】図13においてアンプ6-3は、上記アンプ6-1及び6-2に不可避免的に発生するであろう直流オフセット電圧の影響を避けるために付加したものであり、アンプ6-3の出力が抵抗素子5-1と5-2の結合点に与えられることによって、そのオフセット電圧の影響をアンプ7-1、7-2による減算に際してキャンセルできるようになっている。尚、製品の特性仕様によってはそのような構成を省くことが出来る。また、これらアンプ6-1～6-3および7-1、7-2は従来公知の回路形式で実現されたものを用いることができる。さらに、アンプ8は波形等化フィルタ40の差動出力 $+V_{out}$ 、 $-V_{out}$ を単一出力に変換するために付加されたものであるが、その出力9の波形がパルスに変換される非線形アンプ、たとえば電圧比較器であってもよい。さらに、当然ながら、波形等化フィルタ40はその可変容量回路として前記図4、図5、または図7に示された可変容量回路を用いても実現できる。

【0063】図14には、図13に示されている波形等化フィルタ回路の適用例として、例えば伝送速度25.6M(メガ)ビット/秒のATM-LAN(Asynchronous Transfer Mode-Local Area Network)システムに用いられる物理レイヤの回線終端装置(PMD=Physical Media Dependent)90とトランスモジュール91の構成が示されている。前記回線終端装置90は、特に制限されないが、MOS半導体集積回路製造技術によって1個の半導体基板に形成されており、以下単にPMD-LSI(Large Scale Integration)90とも記す。前記トランスモジュール91はハイブリッドモジュール若しくは混成集積回路として構成されている。

【0064】図14において、TX-Dataは、例えばパーソナルコンピュータ内などで扱われる文字や画像などのデータ信号であり、送信クロックTX-CLKでPMD-LSI90のラッチ回路(Data Latch)900に取り込まれ、送信ドライバ回路901から出力されて、その出力パルス波形を規定値内に制限する送信波形テンプレートフィルタ(送信フィルタ)910、送信トランス911を介して出力される。この送信出力信号は、最長100m、特性インピーダンス100ΩのUTP(無シールド・ツイストペア線)または同120Ωのもしくは150ΩのSTP(シールド・ツイストペア線)のような伝送線92を介して伝送される。一方、伝送線92から受信トランス912を経てPMD-LSI90に入力された受信信号は、例えば図13の回路構成の波形等化フィルタ回路902によってパルス波形に再生される。伝送速度25.6Mビット/秒のATM-LANシステムでは、4B/5B変換されたNRZI(Non-Return to Zero Inverse)符号が用いられるため、実際に伝送される信号は最高32Mビット/秒であり、16MHzまでの周波数成分が含まれる。したがって上記の波形等化フィルタ回路902では16MHzまでの周波数範囲のハイパス特性が必要となる。

【0065】クロック抽出PLL(Phase-Locked Loop)903は波形等化フィルタ回路902の出力信号から32MHzの安定したクロックをRX-CLKとして同期抽出するためのものであり、このクロックRX-CLKによって波形等化フィルタ回路902の出力をラッチ回路(Data Latch)904を介して、データRx-DataとしてPMD-LSI90から出力する。尚、図中のループバック905は、ここには示されていない受信信号の検出手段が通信中に受信信号の断を検出した場合に、送信信号を代用して、ある時間前記クロック抽出PLL903の同期を保持するために設けられた機能であると同時に、例えばPMD-LSI90に電源が投入された直後の非送信時に不要な信号が送出されることを防ぐ機能としても用いられる。906は基準電圧発生回路であり、波形等化フィルタ回路で用いられる固定電位VB等の基準電位(温度変化などに依存せず実質的に

一定の安定な電圧)を発生する回路である。

【0066】図15には前記PMD-LSI90とトランスモジュール91が適用されたATM-LAN用インタフェースカードの一例が示される。このATM-LAN用インタフェースカードは、前記図14に示された波形等化回路の応用例としてのPMD-LSI90をトランスモジュール91およびその他の集積回路と共に横85.6mm、縦54.0mm、厚み5.0mmのいわゆるタイプ2と呼ばれる標準カード100に実装して実現された、例えば伝送速度25.6Mビット/秒のATM-LAN用のICカード化されたインタフェースカードとされる。前記トランスモジュール91の送受信信号は、このカード本体100に設けられた第1の端子群(図示せず)とこれに着脱自在に接続されるコネクタ101を介して最長5mのツイストペア線92と接続され、このツイストペア線92は規定のジャック/ソケット102によって最長90mの前記UTPまたはSTP103に接続される。一方、このカード本体100はたとえばノート型のパーソナルコンピュータ本体に挿込まれ、カード本体100に設けられた第2の端子群104からPCMCIA(Personal Computer Memory Card International Association)バスインタフェースなどを通じて図示を省略するパーソナルコンピュータ本体に搭載されたマイクロプロセッサと直接または間接的に接続され、本LANカードを用いた各種データの送受信および表示、加工などを可能とする。

【0067】図中のTC(Transmission Convergence)部93はPMD-LSI90と共にATM-LANの物理レイヤを構成し、送受信データセルのスクランブル/デスクランブル、4ビット/5ビット変換、NRZI/NRZI符号変換、などの機能を実現する。ATMコントローラ部(ATM-LSI)94は、マイクロプロセッサ(MCU)95、マイクロプロセッサ95の動作プログラムや定数データ若しくは定数テーブルなどを保有するROM96、前記マイクロプロセッサ95のワーク領域若しくはデータに一時記憶領域とされるRAM97、及びDRAM等によって構成されるバッファメモリ98と共に、例えば可変長バケットの各種データと固定長のATMセルとの変換、各種異なるバス形式のインタフェース変換などの機能を実現する。

【0068】なお、このPMDおよびTC等の機能仕様については、1994年から1995年にかけてATM Forum Technical Committeeから発行されたPhysical Interface Specification for 25.6Mb/s over Twisted Pair Cableに詳しく述べられている。

【0069】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0070】例えば、図10、図11及び図12に示さ

れた差動アンプはPMOSトランジスタ入力および差動出力としたが、NMOSトランジスタ入力としてもよく、また、フィルタ構成に合わせて単一出力でもよい。そのための回路構成の変更は当該分野の技術者は容易に可能である。また、それらのアンプの電流／電圧変換回路に接続された半導体基板外に設けた温度変動係数などが小さい抵抗素子は、外部接続端子TR1およびTR2と固定電位供給端子TRAGとの間に接続された抵抗素子と説明したが、それに制限されることはなく、たとえば半導体基板上に形成された絶縁材上に実現される金属被膜抵抗素子（その抵抗値はトリミングによって微調整することも可能である）などであってもよく、その場合は外部接続端子は必要なく、集積回路を封止するパッケージ内で接続可能である。

【0071】本発明はまた、図1、図4、図5、図7、図8及び図13では1次のフィルタで説明されたが、2次以上のフィルタにも適用可能であることは言うまでもない。また、図14および図15の応用例におけるPMD-LSI90とTC93は、1つの半導体チップ上に形成することは容易であり、さらに、その他の周辺機能94から97までを、図15に示されるように1つの半導体チップ99上に形成することも可能である。

【0072】更にまた本発明は、図10から図12までに示された可変容量回路内の可変利得Gを中心値1とし、固定利得アンプの利得を2または1として説明したが、例えば固定利得アンプの利得をそれぞれ3とし、その出力に接続された容量素子の値を1/2倍にしてもよい。

【0073】さらにまた、本発明ではアナログフィルタ回路の抵抗素子の値の変動に対して可変容量回路による容量素子の値が自動的に変化してカットオフ周波数を所期値に保つが、しかし一方、容量素子自体の変動によるカットオフ周波数の補正はできないと述べたが、本発明の可変容量回路を複数個並列に接続し、少なくとも一つの変容量回路の利得を外部から調整する手段を付加することによって、容量素子自体の初期変動によるカットオフ周波数の補正を行うことは可能である。

【0074】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフィルタ回路に適用した場合について説明したが、本発明は容量素子を有するアナログ集積回路一般に利用することができる。

【0075】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0076】すなわち、半導体集積回路化された場合に、容量や抵抗の値がばらついてもカットオフ周波数のばらつきが少ないアナログフィルタを容易かつ経済的に実現することができる。

【0077】半導体基板上に形成された抵抗素子の値が大きくばらついても、カットオフ周波数のばらつきが少なく、かつ余分に大規模な周波数制御機能回路の追加を必要としない低コストのアナログフィルタ回路、及びそれに適した可変容量回路を実現することができる。

【0078】従来一般に10MHz以上の比較的高いカットオフ周波数が要求される分野に用いるには他の半導体プロセスより不利とされた相補型MOS技術を用いても、低消費電力でかつ高周波の信号に適用できるアナログフィルタ回路を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る可変容量回路及びそれを用いたアナログフィルタ回路の第1の回路例とその等価回路を示す回路図である。

【図2】図1の可変容量回路に含まれる主回路部分としての可変容量回路部に関する説明図である。

【図3】図1の可変容量回路に含まれる副回路部分としての固定容量回路部に関する説明図である。

【図4】可変容量回路及びそれを用いたアナログフィルタ回路の第2の回路例を示す回路図である。

【図5】可変容量回路及びそれを用いたアナログフィルタ回路の第2の回路例に対して回路規模を削減した回路例を示す回路図である。

【図6】図5の等価回路図である。

【図7】可変容量回路及びそれを用いたアナログフィルタ回路の第3の回路例として差動入出力形式のハイパスフィルタ回路を示す回路図である。

【図8】可変容量回路及びそれを用いたアナログフィルタ回路の第3の回路例として別の回路形式のハイパスフィルタ回路を示す回路図である。

【図9】図10、図11及び図12の差動アンプの定電流源にバイアス電圧を供給するバイアス回路の一例回路図である。

【図10】可変利得を有する差動アンプの一例回路図である。

【図11】固定利得を有する差動アンプの一例回路図である。

【図12】可変利得と固定利得の両方を有する差動アンプの一例回路図である。

【図13】図12に示されている差動アンプを用いた可変容量回路と、それを容量素子として用いたアナログフィルタ回路を示す回路図である。

【図14】図13に示されているアナログフィルタ回路を波形等化回路に用いたATM-LAN用PMD-LSIとトランスモジュールの機能ブロック構成図である。

【図15】図14に示されているATM-LAN用PMD-LSIとトランスモジュールを搭載したATM-LANカードの構成図である。

【図16】CRアナログフィルタ回路の一例を示す回路図である。

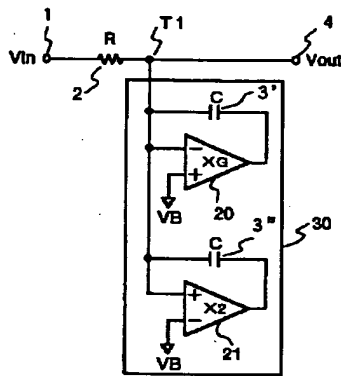
【符号の説明】

- 1 (1-1, 1-2) フィルタ入力
 2 (2-1, 2-2), 5 (5-1, 5-2) 抵抗素子
 3' (3'-1, 3'-2), 3'' (3''-1, 3''-2) 容量素子
 4 (4-1, 4-2) フィルタ出力
 6, 7, 8, 20 (20-1, 20-2), 21, 22 差動アンプ
 30, 31, 32, 33 可変容量回路
 40 波形等化フィルタ
 50 電圧／電流変換回路
 60, 61 電流／電圧変換回路

*

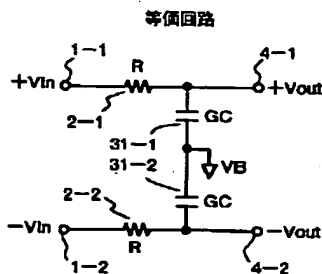
【図1】

【図1】

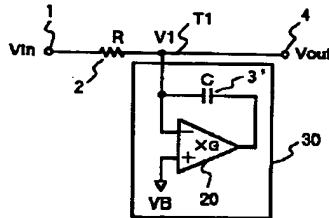


【図6】

【図6】

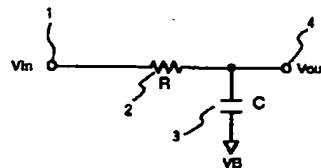


【図2】



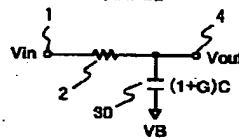
【図16】

【図16】



【図2】

等価回路

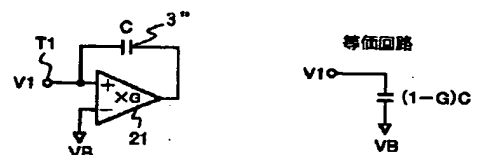


- *MT1, MT2 PMOSトランジスタ
 MT3, MT4 NMOSトランジスタ
 MT5~MT12 NMOSトランジスタ
 IB1~IB12 定電流源
 RC0~RC4 抵抗素子
 is 電流信号
 ViP, ViM 差動入力電圧信号
 VGOP, VGOM 差動出力電圧
 V2OP, V2OM 差動出力電圧
 10 90 PMD-LSI
 91 トランスモジュール
 100 標準カード

*

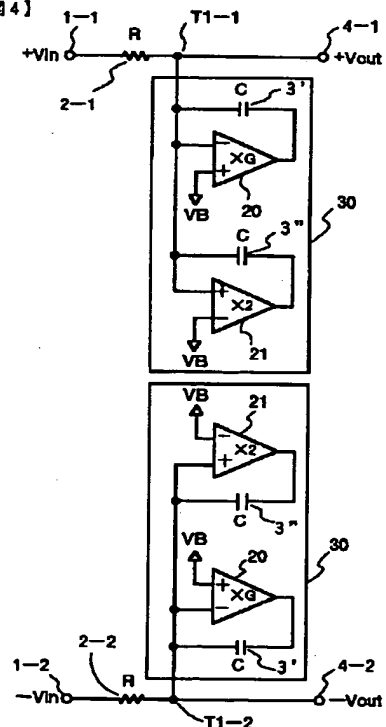
【図3】

【図3】



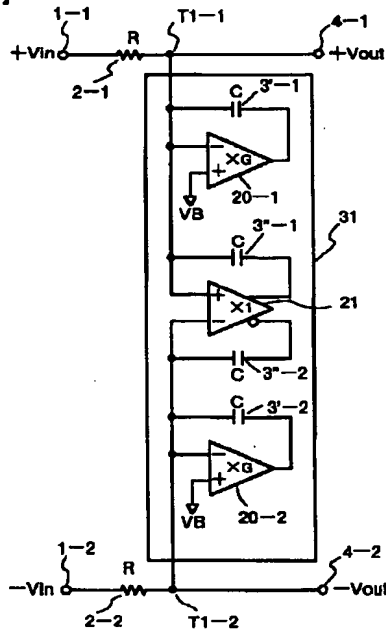
【図4】

【図4】



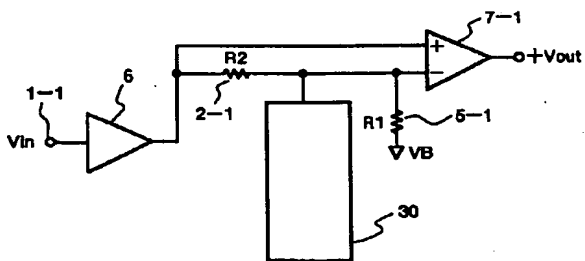
【図5】

【図5】



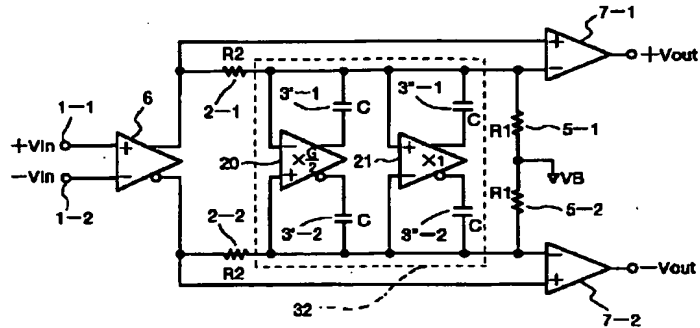
【図8】

【図8】



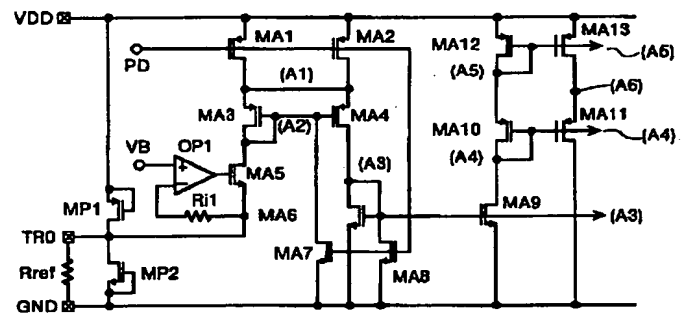
【図7】

【図7】



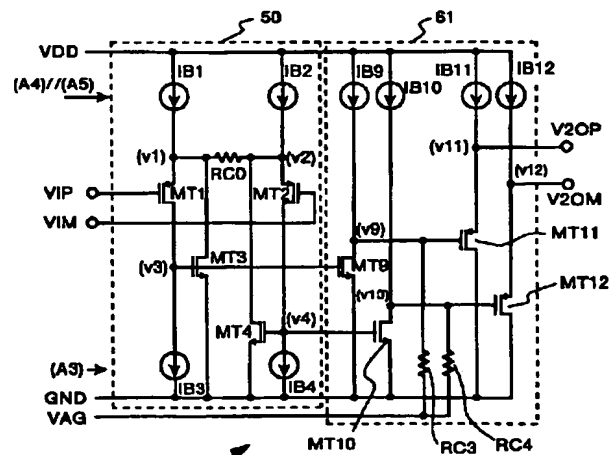
【図9】

【図9】



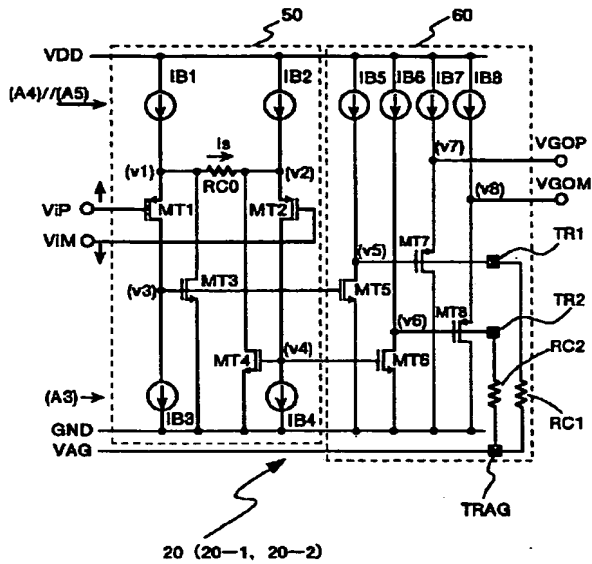
【図11】

【図11】

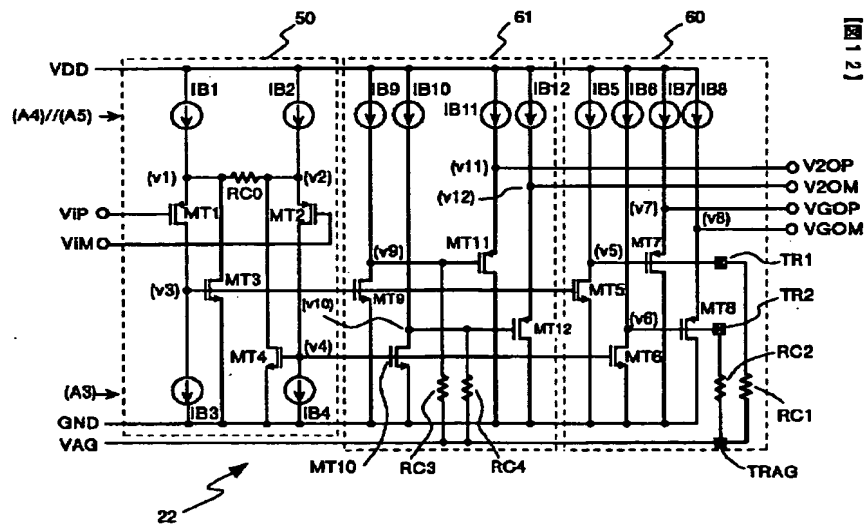


【図10】

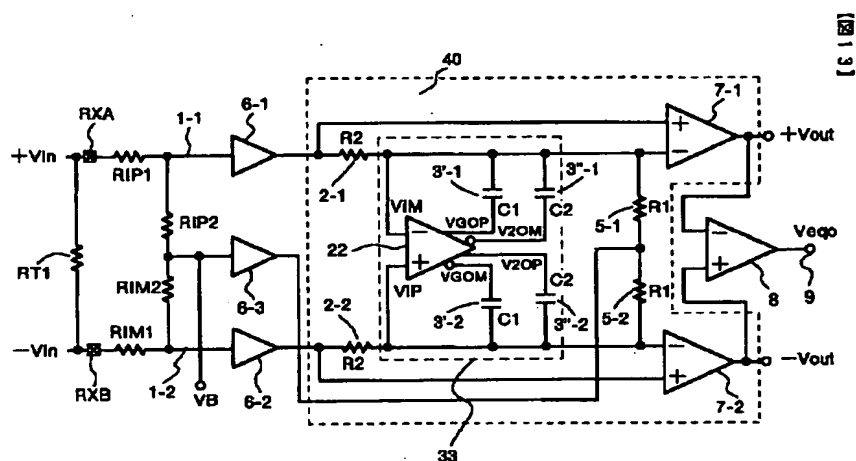
【図10】



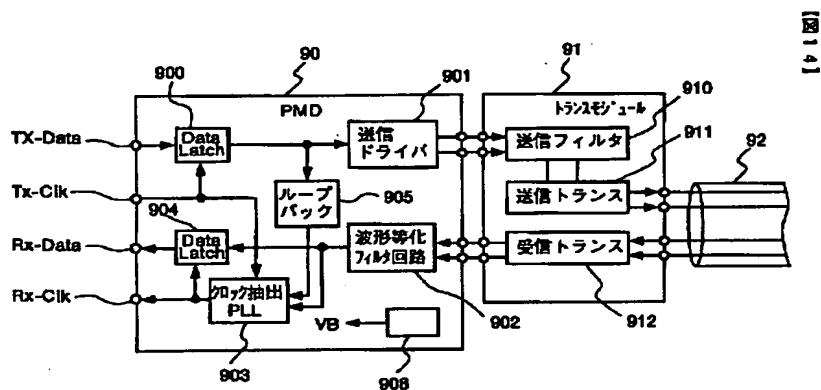
【図12】



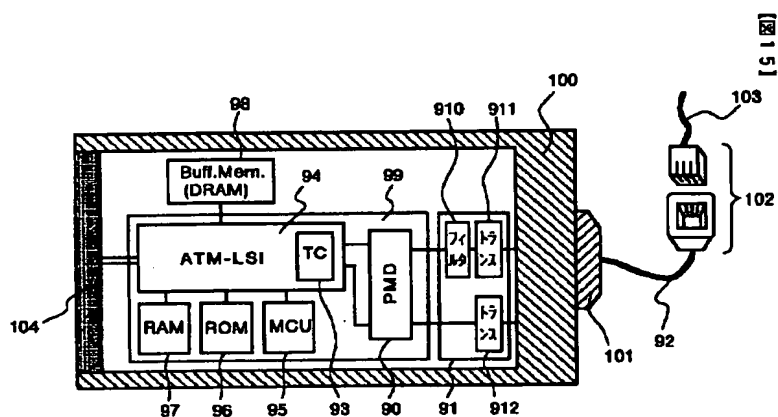
【圖 13】



【圖 14】



【圖 15】



フロントページの続き

(72)発明者 見尾田 禎宏
神奈川県秦野市堀山下1番地 日立コンピ
ュータエンジニアリング株式会社内

(72)発明者 永山 義治
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内